

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 58-085572
(43) Date of publication of application : 21.05.1983

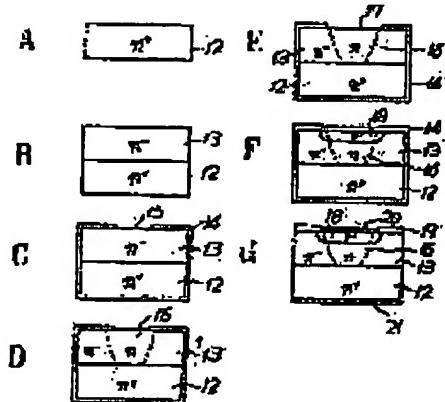
(51)Int.Cl. H01L 29/91

(54) PLANAR TYPE DIODE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To lower the forward voltage drop of a planar type diode and to enhance the reverse withstand voltage by forming a region of different impurity density in a region having lower impurity density of two adjacent regions at both sides of a p-n junction.

CONSTITUTION: A substrate 12 of a planar type diode is formed in n+ type, and an n- type semiconductor layer 13 is formed on the substrate 12. The entire surfaces of the substrate 12 and the layer 13 are covered with an oxidized film 14, the film 14 is then partly removed, thereby forming a hole 15 for diffusing an n type impurity, the impurity is diffused from the hole 15, thereby forming the first n type diffused surface region in the layer 13. A hole 17 is formed to surround completely the hole 15 for forming the first n type diffused surface region 16, p type impurity is diffused from the hole 17, thereby forming the second p+ type diffused surface region 18 shallower than the region 16. Further, the surface protective film 19 of only necessary position is allowed to remain, and electrodes 20 and 21 are respectively formed on the region 18 and substrate 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection.]

[Date of extinction of child]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—85572

⑫ Int. Cl.³
H 01 L 29/91

識別記号

府内整理番号
7638-5F

⑬ 公開 昭和58年(1983)5月21日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ プレーナ型ダイオードおよびその製造方法

2号オリンパス光学工業株式会社
社内⑮ 特 願 昭56—182980
⑯ 出 願 昭56(1981)11月17日
⑰ 発明者 柳沢一向⑮ 出願人 オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番
2号

東京都渋谷区幡ヶ谷2丁目43番

⑯ 代理人 弁理士 杉村暁秀 外1名

明細書

① 発明の名称 プレーナ型ダイオードおよびその製造方法

質成よりも浅い反対導電層の第2表面領域を形成することを特徴とするプレーナ型ダイオードの製造方法。

② 特許請求の範囲

③ 発明の詳細な説明

1. 一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対導電型の表面領域とを具えるプレーナ型ダイオードにおいて、前記一導電型の基体と反対導電型の表面領域との境界面に形成されるpn結合の、前記両表面とほぼ平行に存在する部分の下側にある基体部分の不純物濃度を基体の他の部分の不純物濃度よりも高くしたことを特徴とするプレーナ型ダイオード。

2. 一導電型の半導体基体上に、一導電層でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電層の第1表面領域を形成し、前記半導体層の表面から、前記第1表面領域の表面領域を囲むが第1表面

本発明は、一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対導電型の表面領域とを具えるプレーナ型ダイオードおよび斯かるプレーナ型ダイオードの製造方法に関するものである。

このようなプレーナ型ダイオードは既知であり、例えば第1図に示すような構造のものが知られている。このプレーナ型ダイオードノを製造するに当つては、n⁺型半導体基板2の上にp型半導体層3を、例えばエピタキシャル成長により形成し、この半導体層3内に、例えば抗酸によりp+型表面領域4を形成してpn結合5を形成する。次に半導体層3の表面には、窒化珪、氮化珪、シリカドリード膜などから成る表面保護膜6を被覆する。さらにp+型表面領域4およびn⁺型基板2の表面に、例えば金属蒸着により電極7および8を設け

る。

このようなブレーナ型ダイオードにおいて、正方向電圧降下は、n型半導体層との、p⁺型表面領域との之下にある部分の抵抗、すなわち不純物濃度で決まり、この正方向電圧降下を低くするためににはn型半導体層の不純物濃度を高くして抵抗を低くする必要がある。一方、ダイオードの逆方向耐電圧はn型半導体層の不純物濃度が低い程高くなる。このようにn型半導体層に障害される条件は相反することになり、そのため正方向電圧降下が低く、しかも逆方向耐電圧が高いブレーナ型ダイオードは従来得られなかつた。

本発明の目的はPN接合を挟んで隣接する2つの領域の内、不純物濃度の低い領域に不純物濃度の高い領域を形成することにより正方向の電圧降下を低くすると共に逆方向の耐電圧を高くすることができるブレーナ型ダイオードを提供しようとするものである。

本発明は、一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対

。 3

のであるが、さらに詳しく検討すると、ブレーナ型ダイオードに逆バイアスした際に電界の集中するn型半導体層の表面部分の不純物濃度に主として依存することを確めた。したがつて本発明では、n型半導体層の表面部分の不純物濃度を低くして、この部分の抵抗を高くすることにより逆方向耐電圧を高くすることができるという実験に着目したものである。

以下、図面を参照して本発明を詳細に説明する。

第2図A～Gは本発明のブレーナ型ダイオードの順次での製造工程を示すものである。先ず第2図Aに示すようにブレーナ型ダイオードの基板11として使用するウエフアを準備する。本例ではこの基板11をガラスとし、その不純物濃度を 10^{18} cm^{-3} 以上とする。次に第2図Bに示すようにp⁺型表面層12の上にn型半導体層13をエピタキシャル成長、焼着などの方法で形成する。このときn型半導体層13のn型不純物濃度は、典型的には 10^{13} ～ 10^{15} cm^{-3} の範囲とする。また、前記p⁺型半導体層12の厚さは目的に応じて選択されるが、多くの

。 5

—306—

。 6

特開昭58-155572(2)

導電型の表面領域とを有するブレーナ型ダイオードにおいて、前記一導電型の基体と反対導電型の表面領域との境界面に形成されるPN接合の前記基体表面と概ね平行に存在する部分の下側にある基体部分の不純物濃度を基体の他の部分の不純物濃度よりも高くしたことを特徴とするものである。

さらに本発明の目的は上述したブレーナ型ダイオードを簡単かつ正確に製造し得る方法を提供するものである。

本発明のブレーナ型ダイオードの製造方法は、一導電型の半導体基体上に、一導電型でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電型の第1表面領域を形成し、前記半導体層の表面から、前記第1表面領域の表面区域を囲むが第2表面領域よりも高い反対導電型の第2表面領域を形成することを特徴とするものである。

ブレーナ型ダイオードの逆方向耐電圧は、第1面上に示したn型半導体層の不純物濃度で決まる

。 7

場合5～500Åの範囲である。次に第2図Cに示すように基体11および半導体層13の表面全体を酸化膜14で覆い、その酸化膜14を部分的に除去してn型不純物拡散用の開口部15を形成する。この開口部15よりn型不純物を拡散させ、p⁺型半導体層12の中にn型第1拡散表面領域16を形成する。このときn型第1拡散表面領域16の不純物濃度は 10^{16} ～ 10^{20} cm^{-3} とするのが望ましい。また、n型拡散表面領域16はn型基板11に達するまで拡散するのが好適である。この状態を第2図Dに示す。次に第2図Eに示すように、第1のn型拡散表面領域16を形成するための開口部15を完全に囲むように網口部17を開け、この開口部17よりp型不純物を拡散し、第1拡散表面領域16よりも高い第2のp⁺型拡散表面領域18を形成する。このときのp型不純物濃度は 10^{18} cm^{-3} 以上とする。この第2拡散表面領域18は第1拡散表面領域16の表面区域を完全に囲むことになる。この状態を第2図Fに示す。さらに必要個所の表面保護膜19のみを残し、p⁺型拡散表面領域18およびn⁺型基板

々にそれぞれ電極のおよびジを形成する。尚、技術保護範囲としては、前工程まで利用してきた酸化膜がそのまま使つてもよいし、又、PSG、 Si_3N_4 さらにはポリイミド系被膜で新たに形成してもよい。この上うにしてできたプレーナ型ダイオードを第2図Gに示す。

以上述べてきたような本発明の方法により、 p^+ 型抵抗表面領域は底下の n^- 型半導体層の部分に、 n^- 型半導体層の端部より不純物濃度の高い p^+ 型抵抗表面領域を作ることにより、ダイオードの順方向電圧降下を小さくすることができる。また、逆方向耐圧については、耐圧を決定する n^- 型半導体層の表面部分の不純物濃度は n^- 型半導体層ほど同様低く保たれているので、逆耐圧を高くすることができる。このようにして本発明によれば順方向電圧降下を低くすることができると共に逆方向耐電圧を高くすることができ、相反する機能を同時に提供することができる。

本発明は上述した例にのみ限られるものではなく、種々の変更が可能である。上述した実施例

マスクとして使う酸化膜がで覆つたのち、一方の表面の酸化膜を除去し、次に酸化膜の無い表面から p^+ 型不純物を拡散して p^+ 型抵抗層を形成し、最後に酸化膜が全て除去することにより第3図Eに示すような n^-/p^+ 構造を造ることもできる。いずれの方法を採つても、第3図Gに示した n^-/p^+ 構造の基体を作ることが出来る。

さらに、第2図Dで形成した n^- 型抵抗表面領域は p^+ 型基板12にぶつかるよう形成するのが望ましいが、第4図に示すように、 n^- 型抵抗表面領域16が p^+ 型基板12にとどかなくとも、順方向電圧降下が改善されるのは明らかである。

また、上述した例では n^- 型領域14および p^+ 型領域18はともに抵抗領域としたが、その設方またはいすれか一方をイオン注入により形成することもできる。さらに p^+ 型基板12と n^- 型半導体層10の境界面に n^- 型埋込領域を形成することもできる。上述したように本発明によれば、プレーナ型ダイオードの順方向電圧降下を小さくしながら、同時に逆方向の耐圧を向上させることができる。

特開昭58-05572(3)では n^+ 型基板12を出发材料として用いたが、基板を p^+ 型として素子を作成することも可能である。この場合には p^+ が全て逆転するだけで、第2図A～第2図Gに示した製造工程をそのまま適用することができる。また、上述した例ではプレーナ型ダイオード単体について説明したが、ウエハ上に複数個のダイオードが含まれる場合、さらには、耐圧を必要とするpn層が表面に露出したプレーナ型素子であれば、サイリスタ、トランジスタ等にも容易に拡張することができる。さらに第2図Dに示す n^-/p^+ 構造を実現する方法としては、前述した方法の他に、第3図に示す方法でも可能である。第3図A～第3図Dに示す方法では、第3図Aに示すように n^- 型基板12を準備し、この基板の裏面から n^- 型不純物の拡散により第3図Bに示すように n^- 型抵抗層32、18を形成した後、いすれか一方の p^+ 型抵抗層、例えば抵抗層18をラツピング又はエッティングで除去して、第3図Cに示す n^-/p^+ 構造を造ることができる。また第3図Dに示すように n^- 型基板12裏面を抵抗

(イ)

4. 図面の簡単な説明

第1図は従来のプレーナ型ダイオードの構成を示す概図的断面図。

第2図A～Gは本発明によるプレーナ型ダイオードの製造方法の順次の工程を示す概図的断面図。

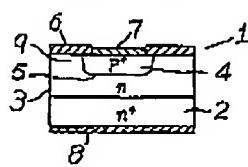
第3図A～Dは第2図Bに示す n^-/p^+ 構造の製造方法の他の例を示す概図的断面図。

第4図は本発明によるプレーナ型ダイオードの他の例の構成を示す概図的断面図である。

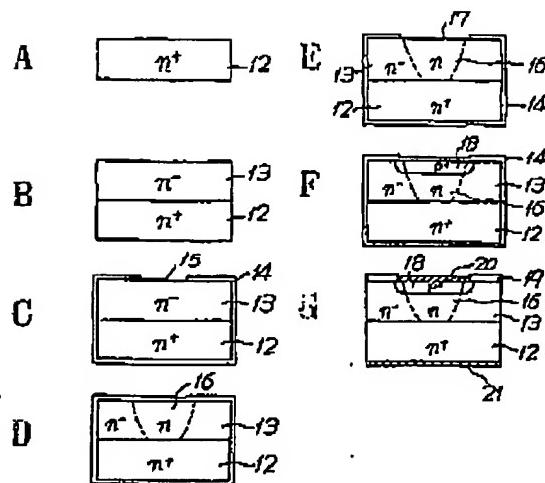
12… n^+ 型基板、12～10… n^- 型半導体層、16… n^- 型第1抵抗領域、18… p^+ 型第2抵抗領域。

特開昭58-85572(4)

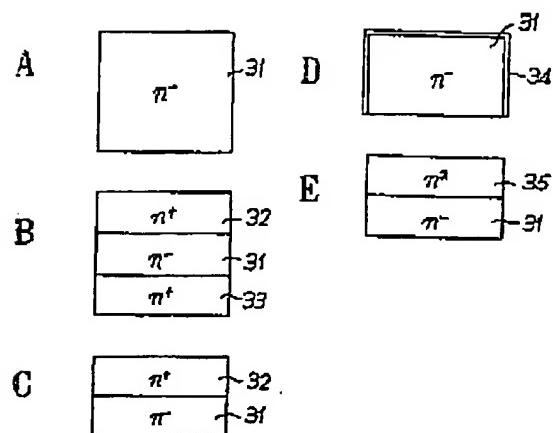
第1図



第2図



第3図



第4図

